



PCT/FR 2004/050524

25 OCT. 2004

REC'D 18 JAN 2005

WIPO

PCT

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 29 SEP. 2004

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

DOCUMENT DE PRIORITÉ

PRÉSENTÉ OU TRANSMIS
CONFORMÉMENT À LA
RÈGLE 17.1.a) OU b)

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE

26 bis, rue de Saint-Petersbourg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



BREVET D'INVENTION CERTIFICAT D'UTILITE

26bls, rue de Saint-Pétersbourg
75000 Paris Cédex 08
Téléphone: 01 53.04.53.04 Télécopie: 01.42.94.86.54

Code de la propriété intellectuelle-livre VI

REQUÊTE EN DÉLIVRANCE

DATE DE REMISE DES PIÈCES: N° D'ENREGISTREMENT NATIONAL: DÉPARTEMENT DE DÉPÔT: DATE DE DÉPÔT:	Jean LEHU BREVATOME 3, rue du Docteur Lancereaux 75008 PARIS France
Vos références pour ce dossier: B14418ALP DD2583	

1 NATURE DE LA DEMANDE			
Demande de brevet			
2 TITRE DE L'INVENTION			
		DISPOSITIF MICROELECTRONIQUE A EFFET DE CHAMP APTÉ A FORMER UN OU PLUSIEURS CANAUX DE TRANSISTORS.	
3 DECLARATION DE PRIORITE OU REQUETE DU BENEFICE DE LA DATE DE DEPOT D'UNE DEMANDE ANTERIEURE FRANCAISE		Pays ou organisation	Date N°
4-1 DEMANDEUR			
Nom Rue Code postal et ville Pays Nationalité Forme juridique		COMMISSARIAT A L'ENERGIE ATOMIQUE 31-33, rue de la Fédération 75752 PARIS 15ème France France Etablissement Public de Caractère Scientifique, Technique et Ind	
5A MANDATAIRE			
Nom Prénom Qualité Cabinet ou Société Rue Code postal et ville N° de téléphone N° de télécopie Courrier électronique		LEHU Jean Liste spéciale: 422-5 S/002, Pouvoir général: 7068 BREVATOME 3, rue du Docteur Lancereaux 75008 PARIS 01 53 83 94 00 01 45 63 83 33 brevets.patents@brevaalex.com	
6 DOCUMENTS ET FICHIERS JOINTS		Fichier électronique	Pages Détails
Texte du brevet		texte brevet.pdf	37 D 30, R 6, AB 1
Dessins		dessins.pdf	9 page 9, figures 18, Abrégé: page 4, Fig.7
Pouvoir général			

7 MODE DE PAIEMENT				
Mode de paiement		Prélèvement du compte courant		
Numéro du compte client		024		
8 RAPPORT DE RECHERCHE				
Etablissement immédiat				
9 REDEVANCES JOINTES	Devise	Taux	Quantité	Montant à payer
062 Dépôt	EURO	0.00	1.00	0.00
063 Rapport de recherche (R.R.)	EURO	320.00	1.00	320.00
068 Revendication à partir de la 11ème	EURO	15.00	16.00	240.00
Total à acquitter	EURO			560.00

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

Signé par

Signataire: FR, Brevatome, J.Lehu

Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

Fonction

Mandataire agréé (Mandataire 1)



BREVET D'INVENTION CERTIFICAT D'UTILITE

Réception électronique d'une soumission

Il est certifié par la présente qu'une demande de brevet (ou de certificat d'utilité) a été reçue par le biais du dépôt électronique sécurisé de l'INPI. Après réception, un numéro d'enregistrement et une date de réception ont été attribués automatiquement.

Demande de brevet : X

Demande de CU :

DATE DE RECEPTION	22 octobre 2003
TYPE DE DEPOT	INPI (PARIS) - Dépôt électronique
N° D'ENREGISTREMENT NATIONAL ATTRIBUE PAR L'INPI	0350716
Vos références pour ce dossier	B14418ALP DD2583

Dépôt en ligne: X
Dépôt sur support CD:

DEMANDEUR

Nom ou dénomination sociale	COMMISSARIAT A L'ENERGIE ATOMIQUE
Nombre de demandeur(s)	1
Pays	FR

TITRE DE L'INVENTION

DISPOSITIF MICROELECTRONIQUE A EFFET DE CHAMP APTE A FORMER UN OU PLUSIEURS CANAUX DE TRANSISTORS.

DOCUMENTS ENVOYES

package-data.xml	Requetefr.PDF	fee-sheet.xml
Design.PDF	ValidLog.PDF	textebrevet.pdf
FR-office-specific-info.xml	application-body.xml	request.xml
dessins.pdf	indication-bio-deposit.xml	

EFFECTUE PAR

Effectué par:	J. Lehu
Date et heure de réception électronique:	22 octobre 2003 12:25:23
Empreinte officielle du dépôt	D4:E3:8C:D8:2D:91:8B:3F:CC:C3:87:86:BD:EB:82:1F:0A:72:6C:1C

/ INPI PARIS, Section Dépôt /

SIEGE SOCIAL
INSTITUT 28 bis, rue de Saint Petersburg
NATIONAL DE 75000 PARIS cedex 08
LA PROPRIETE Téléphone : 01 53 04 53 04
INDUSTRIELLE Télécopie : 01 42 93 59 30

**Dispositif microélectronique à effet de champ apte à
former un ou plusieurs canaux de transistors**

DESCRIPTION

5 DOMAINE TECHNIQUE ET ART ANTERIEUR

La présente invention se rapporte au domaine des circuits intégrés, et plus particulièrement à celui des transistors à effet de champ.

10 Une structure connue de transistor à effet de champ 111, est illustrée à la figure 1. Elle comprend une première zone formant une source 110, une seconde zone formant un drain 120 et repose sur un substrat 100 par exemple à base de silicium.

15 La source 110 et le drain 120 ont une forme sensiblement rectangulaire et affleurent partiellement à la surface du substrat 100. La structure de transistor 111, comporte également un canal 130 sous forme d'un bloc ou barreau, de forme se rapprochant de celle d'un parallélépipède, et permettant de relier
20 dans le sens de sa longueur, la source 110 et le drain 120. Le canal 130 a une longueur notée L mesurée dans une direction source-drain ainsi qu'une largeur notée W mesurée dans une direction parallèle à un plan principal du substrat 100.

25 Le canal 130 est recouvert d'une zone formant une grille 140. La grille 140 est en contact avec le canal 130 sur une surface S_1 (non représentée sur la figure 1). La grille permet de contrôler la conduction du canal 130 et donc l'intensité d'un
30 courant transitant entre la source 110 et le drain 120.

On cherche continuellement à augmenter les performances des transistors en essayant d'améliorer deux facteurs normalement incompatibles: la vitesse de fonctionnement et la consommation des transistors.

5 Pour augmenter la vitesse de fonctionnement, on essaie notamment de réduire la taille des transistors, ce qui permet par ailleurs de réduire les coûts de fabrication et de réaliser des circuits intégrés avec un nombre de transistors plus
10 élevé.

Diminuer la taille des transistors implique par exemple le rapprochement de la source et du drain et la réalisation d'un canal de longueur et de largeur de plus en plus faibles. Cette tendance peut entraîner
15 des effets néfastes au bon fonctionnement des transistors tels que des « effets de canal court » (en anglais « short channel effect »). Ainsi, à mesure que l'on diminue la longueur du canal des transistors, le drain et la source ont une influence de plus en plus
20 importante sur la conduction du canal, normalement contrôlée par la grille. Les « effets de canal court » entraînent, entre autres, une diminution de la tension seuil avec la longueur de canal et la tension de drain, ce qui entraîne une augmentation de la fuite du
25 transistor à l'état bloqué. Ceci n'est guère compatible avec l'amélioration des performances des circuits intégrés.

Un second exemple de structure de transistor à effet de champ 222 est illustré sur la
30 figure 2 et présenté dans le document [1] référencé à la fin de la présente description. Cette structure

permet de remédier en partie au problème exposé ci-dessus, et notamment de s'affranchir des effets de canal court.

La structure de transistor 222 est formée sur un substrat 100. Elle comprend une première zone rectangulaire formant une source 210 et une seconde zone rectangulaire formant un drain 220 reposant sur le substrat 100. Elle comporte également un canal 230 sous forme de plusieurs barreaux 202 parallélipipédiques juxtaposés sur le substrat 100 et parallèles entre eux. Les barreaux 202 ont des longueurs L_2 et des largeurs W_2 . Ils relient, dans le sens de leurs longueurs L_2 , la source 210 et le drain 220.

Les barreaux 200 sont séparés entre eux par des espaces 201 de largeur W_e . Le canal 230 est recouvert et en contact sur une surface S_2 (non représentée sur la figure 2) avec une grille 240. L'étendue de la surface S_2 influe sur la valeur de la tension de seuil du transistor. De préférence, elle est la plus faible possible afin de limiter la consommation du transistor, mais doit rester suffisante pour pouvoir assurer un bon niveau de courant dans le canal 230.

Selon le document [1], cette structure de transistor 222 permet de lutter contre des effets de canal court et a de meilleures performances en terme de consommation que la structure classique de transistor 111 illustrée à la figure 1. En effet, pour des tensions égales appliquées sur la grille 140 de la structure classique de transistor 111 et sur la grille 240 de la seconde structure de transistor de 222, à surfaces de contact entre grille et canal S_1 et S_2

égales, on obtient un courant de canal supérieur pour la structure de transistor 222 illustrée à la figure 2.

La structure de transistor 222 pose néanmoins des problèmes, notamment en terme de densité d'intégration.

Le premier problème que présente cette structure est la réalisation d'un film vertical de 10 nm d'épaisseur, ayant une bonne qualité de verticalité sur une hauteur supérieure à 100 nm.

En outre, cette structure, pour rester efficace, prend généralement plus de place sur un substrat sur lequel elle a été formée, qu'une structure classique comme la structure 111 de la figure 1. Pour former la structure de transistor 222 tout en tenant compte de contraintes en terme de courant, on essaie de réaliser des barreaux 202 ayant des largeurs W_2 les plus faibles possibles, avec des espaces 201 entre les barreaux 202 également les plus faibles possible. Mais, les largeurs W_2 des barreaux 202, ainsi que les largeurs W_e sont limitées car dépendantes des dimensions minimales que l'on peut obtenir par les procédés de photolithographie puis de gravure actuels ou nécessitent d'employer des procédés de gravure de photolithographie ou de gravure complexes et difficilement reproductibles:

En plus d'améliorer la vitesse et la consommation des transistors, on cherche également continuellement à améliorer leur densité d'intégration sur des puces ou des circuits intégrés.

Un dispositif microélectronique illustré à la figure 3 et décrit dans le document [2] référencé à

la fin de la présente description, propose notamment une solution pour améliorer la densité d'intégration des transistors dans une puce. Ce dispositif comprend un substrat 100, de préférence isolant électriquement, sur lequel sont empilés deux transistors à grille commune 333a, 333b, chacun séparés par une couche diélectrique 300 intercalée. Chacun des transistors 333a, 333b, comporte une zone rectangulaire formant une source notée respectivement 310a, 310b, et une seconde zone rectangulaire formant un drain notée respectivement 320a, 320b. Chacune des sources 310a, 310b, et des drains 320a, 320b, sont reliés par un barreau conducteur de forme parallélépipédique formant des canaux et respectivement noté 330a, 330b.

Par ailleurs, une grille 340 commune aux trois transistors 333a, 333b, recouvre partiellement l'empilement des canaux 330a, 330b.

EXPOSÉ DE L'INVENTION

20

La présente invention a pour but de présenter un dispositif microélectronique à effet de champ comportant une structure formant un ou plusieurs canaux de transistor. Cette structure, formant un ou plusieurs canaux de transistors, apporte aux transistors à effet de champ des améliorations, notamment en terme de densité d'intégration et en terme de performances électrique.

La présente invention concerne un dispositif microélectronique à effet de champ comprenant :

a) un substrat

b) au moins une structure formant un ou plusieurs canaux aptes à relier, dans le sens de leurs longueurs, une ou plusieurs sources et un ou plusieurs drains, ladite structure étant bâtie d'un empilement dans une direction orthogonale à un plan principal du substrat d'au moins deux barreaux de largeurs différentes.

Selon une caractéristique particulière du dispositif suivant l'invention, ladite structure réalise un profil dentelé, par exemple en créneaux.

Ladite structure formant un ou plusieurs canaux comprise dans le dispositif suivant l'invention, peut permettre un gain de place par rapport à une structure, telle que celle de la figure 2, comportant des barreaux juxtaposés.

Par ailleurs, des largeurs différentes de barreaux, ou encore un profil dentelé ou en créneau de ladite structure, formant un ou plusieurs canaux, permettent ou permet d'améliorer le contrôle de la conduction du ou des canaux par une grille venant recouvrir, au moins partiellement, ladite structure. En effet, la surface de contact entre ce ou ces canaux et la grille est alors augmentée. D'autre part, ceci permet d'utiliser un phénomène de conduction entre la grille et les barreaux, confinée au niveau des arêtes ou/et des bords de ces derniers.

La structure peut être formée uniquement de barreaux susceptibles d'assurer une conduction électrique. Elle permet alors de former un canal unique

de transistor, comportant un profil dentelé ou en créneau.

Selon une variante, ladite structure peut être formée d'un ou plusieurs barreaux susceptibles d'assurer une conduction électrique et d'un ou plusieurs barreaux non-conducteurs pouvant par exemple servir de support mécanique aux autres barreaux de la structure. Ainsi, la structure peut permettre de former un seul canal, apte à relier une source et un drain de transistor, et comportant plusieurs barreaux conducteurs séparés entre eux par lesdits barreaux non-conducteurs. Lesdits barreaux non-conducteurs peuvent être à base de matériau isolant tel que par exemple du SiO_2 . La structure peut également former plusieurs canaux, aptes à relier plusieurs sources et plusieurs drains de transistors, et séparés entre eux par des barreaux non-conducteurs.

L'empilement peut comprendre au moins deux barreaux successifs à base de matériaux différents. Ainsi, l'empilement peut comprendre au moins deux barreaux successifs à base de matériaux semi-conducteurs différents ou de dopages différents. Par exemple au moins deux barreaux successifs dont un est à base de Si et l'autre à base de SiGe ou bien par exemple dont un est à base de Si dopé N et l'autre est à base de Si non dopé ou dopé P.

L'empilement peut également comprendre au moins deux barreaux successifs dont un premier est à base d'un matériau semi-conducteur tel que par exemple le Si ou le SiGe et dont un deuxième est à base d'un matériau isolant tel que par exemple du SiO_2 .

La nature du matériau formant les barreaux peut dépendre notamment des propriétés du point de vue de la conduction électrique, que l'on souhaite donner à ladite structure.

5 Des barreaux à base de matériaux semi-conducteurs, en fonction de leurs épaisseurs ou/et selon qu'ils ont été, ou non, dopés, sont susceptibles d'assurer une conduction électrique.

L'empilement peut comprendre par exemple au
10 moins un barreau à base d'un matériau semi-conducteur, tel que le silicium, le SiGe (siliciure de Germanium), le Germanium (Ge), l'arséniure de Galium (AsGa), éventuellement dopé, et au moins un barreau à base d'un deuxième matériau semi-conducteur, tel que Si, Ge,
15 AsGa, SiGe, éventuellement dopé. Par ailleurs, l'empilement peut être formé d'une alternance de barreaux à base de matériaux semi-conducteurs différents ou/et de dopages différents tels que par exemple une alternance de barreaux à base de Si et de
20 barreaux à base de SiGe ou d'une alternance de barreaux à base de Ge et de barreaux à base de AsGa, ou d'une alternance de barreaux à base de SiGe et de barreaux à base de Ge, ou encore d'une alternance de barreaux en silicium non dopé et de barreaux en silicium dopé N ou
25 P.

L'empilement peut également être formé d'une alternance de barreaux à base de matériau semi-conducteur et de barreaux à base d'un matériau isolant tels que par exemple une alternance de barreaux à base
30 de Si ou SiGe et de barreaux à base de SiO₂.

Les barreaux peuvent avoir chacun des épaisseurs différentes ainsi que des longueurs différentes. Des barreaux susceptibles d'assurer une conduction électrique peuvent avoir une épaisseur par exemple comprise entre 3 et 100 nanomètres et
5 avantageusement entre 5 et 15 nanomètres.

Les barreaux susceptibles d'assurer une conduction électrique peuvent avoir une épaisseur faible, inférieure à 10 nm, par exemple par exemple
10 comprise entre 1 nm et 10 nm, permettant d'obtenir un bon confinement des porteurs de charges dans ces barreaux.

Des barreaux non-conducteurs peuvent par exemple avoir une épaisseur comprise entre 3 et 100
15 nanomètres. Avantageusement, les barreaux conducteurs et les barreaux non-conducteurs ont des tailles de même ordre de grandeur.

Selon une caractéristique particulière de l'invention, un ou plusieurs barreaux, par exemple des
20 barreaux non-conducteurs ou semi-conducteurs, peuvent être entourés au moins partiellement, dans une direction parallèle à un plan principal du substrat, de bouchons isolants. Ces bouchons isolants peuvent être à base d'un matériau diélectrique tel que par exemple du
25 nitrure.

Selon une caractéristique particulière du dispositif microélectronique à effet de champ selon l'invention, ce dernier peut comprendre en outre un masque dur sur ledit empilement.

30 Le masque dur peut être formé à base d'oxyde de silicium ou de nitrure, il peut permettre

d'empêcher une conduction parasite sur le dessus de l'empilement et d'éviter ainsi la formation d'un canal parasite.

Selon une caractéristique particulière du
5 dispositif microélectronique à effet de champ selon l'invention, ce dernier peut comprendre en outre une grille pouvant recouvrir au moins partiellement ladite structure et éventuellement le masque dur. Les bouchons isolants peuvent alors permettre par exemple d'empêcher
10 une conduction électrique entre une grille recouvrant ladite structure et les barreaux non-conducteurs ou semi-conducteurs de ladite structure.

Le dispositif selon l'invention peut en outre comprendre une ou plusieurs sources reliées par
15 ladite structure à un ou plusieurs drains.

L'invention concerne également un dispositif microélectronique à effet de champ comportant :

- a) un substrat
- 20 b) au moins une structure formant un ou plusieurs canaux aptes à relier, dans le sens de leurs longueurs, une seule source et un seul drain, ladite structure étant bâtie d'un empilement dans une direction orthogonale à un plan principal du substrat d'au moins
25 deux barreaux différents.

Lesdits barreaux différents peuvent être à base de matériaux différents ou/et avoir des largeurs différentes.

L'invention comprend en outre un procédé de
30 réalisation d'un dispositif microélectronique à effet de champ doté d'au moins une structure comportant au

moins deux barreaux empilés de largeurs différentes apte à former un ou plusieurs canaux de transistors. Le procédé suivant l'invention comprend les étapes de:

- formation, sur un substrat d'un empilement de plusieurs couches comportant au moins deux couches successives à base de matériaux différents
- formation d'au moins un masque sur ledit empilement
- gravure anisotrope des couches à travers le masque
- gravure partielle et sélective d'une ou plusieurs couches de l'empilement.

Ledit masque peut comprendre un masque de résine.

Avantageusement, ledit masque peut comprendre un masque de résine et un masque dur empilés. Le masque dur peut être par exemple à base de nitrure ou de SiO_2 et permettre de faciliter la gravure des couches de l'empilement.

Le masque dur peut également permettre s'il est conservé à la fin du procédé, d'isoler électriquement le dessus de l'empilement.

De manière avantageuse, la gravure partielle et sélective des couches de l'empilement peut être isotrope.

L'empilement peut comprendre au moins deux couches à base de matériaux semi-conducteurs différents ou de dopages différents choisis parmi les matériaux suivants : Si, SiGe, Ge, AsGa, Si dopé N, Si dopé P.

Selon une autre caractéristique particulière du procédé suivant l'invention, ledit empilement peut comprendre au moins une couche à base

de matériau isolant et une couche à base de matériau semi-conducteur.

Le procédé suivant l'invention peut comprendre en outre : le dépôt conforme d'une couche
5 diélectrique, par exemple à base de nitrure, sur ladite structure. Le procédé suivant l'invention peut alors comprendre en outre, la gravure isotrope au moins partielle de ladite couche diélectrique, de manière à former des bouchons isolants autour de certains
10 barreaux de ladite structure.

BRÈVE DESCRIPTION DES DESSINS

La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation
15 donnés, à titre purement indicatif et nullement limitatif, en faisant référence aux dessins annexés sur lesquels:

les figures 1, 2, 3 déjà décrites représentent des structures de transistors à effet de
20 champ comportant chacune une structure de canal selon l'art connu;

les figures 4, 5, 6A, 6B, 7, 8 représentent des exemples de dispositifs microélectroniques à effet de champ selon l'invention;

25 les figures 9A-9H représentent un premier exemple de procédé de réalisation suivant l'invention;

la figure 10 représente un exemple de motif que peut comporter un masque dur utilisé lors de l'exemple de procédé de réalisation suivant l'invention
30 illustré par les figures 9A-9G et décrit plus bas.

Des parties identiques, similaires ou équivalentes des différentes figures portent les mêmes références numériques de façon à faciliter le passage d'une figure à l'autre.

5 Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.

10 EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

La figure 4 illustre un exemple de dispositif microélectronique suivant l'invention. Elle représente un substrat 400 par exemple à base de matériau semi-conducteur, recouvert d'une couche
15 isolante 401. Une structure 402 repose sur le substrat 400. Elle est bâtie selon un empilement, dans une direction orthogonale à un plan principal du substrat 400, de plusieurs barreaux B_i , à base par exemple de matériau semi-conducteur.

20 Par plan principal du substrat 400, on entend un plan parallèle à la surface 403 de la couche 401, ou passant par le substrat 400 et parallèle à un plan $[0; \vec{i}; \vec{k}]$ d'un repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$ illustré sur la figure 4.

25 Ce dispositif peut être obtenu à l'aide de procédés de réalisation en couches minces. On entend par barreaux : des blocs, des zones ou des ailettes de formes sensiblement parallélépipédiques extraites de couches minces.

Les barreaux sont obtenus par exemple par gravure de ces couches minces. Or, certains procédés de gravure de couches minces ne permettent pas toujours d'obtenir des formes géométriques parfaites. Ainsi,
 5 lorsqu'on emploiera le terme de «barreaux» dans la présente description, on ne souhaite pas se limiter à des barreaux ou blocs ayant une forme parfaitement parallélépipédique. On souhaite aussi inclure des barreaux dont la forme se rapproche de celle d'un
 10 parallélépipède,

Les barreaux B_i de la structure 402 ont des largeurs différentes, mesurées dans une direction parallèle à celle définie par le vecteur \vec{i} du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$. Il en résulte que la structure
 15 402 présente un profil dentelé, noté 403, et représenté en pointillé sur la figure 4. Dans le cas où les barreaux ont une forme très proche de la forme parallélépipédique, le profil dentelé 403 peut être un profil en créneaux.

20 La figure 5 illustre un autre exemple de dispositif microélectronique selon l'invention.

Un substrat 500, par exemple à base d'un matériau semi-conducteur tel que par exemple du silicium est recouvert par une couche isolante par
 25 exemple à base de SiO_2 . Sur la couche isolante 501 repose une structure 502 bâtie selon un empilement de plusieurs barreaux B_1, \dots, B_n .

Les barreaux B_1, \dots, B_n , sont empilés dans une direction orthogonale à un plan principal du substrat
 30 500, soit une direction parallèle à la direction

définie par un vecteur \vec{j} du repère orthogonal $[O; \vec{i}; \vec{j}; \vec{k}]$ illustré sur la figure 5.

Les barreaux B_1, \dots, B_n ont chacun une forme sensiblement parallélépipédique et sont illustrés,
5 selon une coupe transversale.

Les barreaux B_1, \dots, B_n ont des longueurs qui peuvent être identiques ou différentes, et qui sont mesurées dans une direction parallèle à la direction définie par le vecteur \vec{k} du repère orthogonal
10 $[O; \vec{i}; \vec{j}; \vec{k}]$. Les longueurs des barreaux B_1, \dots, B_n ne sont pas référencées sur la figure 5, étant donné la vue en coupe transversale.

Les barreaux B_1, \dots, B_n ont des largeurs W_1, \dots, W_n différentes, mesurées dans une direction parallèle à
15 celle définie par le vecteur \vec{i} du repère $[O; \vec{i}; \vec{j}; \vec{k}]$. Les largeurs W_1, \dots, W_n sont comprises par exemple entre 10 nanomètres et 1 μm . Les barreaux B_1, \dots, B_n ayant des largeurs différentes, la structure 502 présente un profil 503 dentelé représenté en pointillé sur la
20 figure 5.

Les barreaux B_1, \dots, B_n peuvent également avoir des épaisseurs e_1, \dots, e_n différentes les unes par rapport aux autres, mesurées dans une direction parallèle à celle définie par le vecteur \vec{j} du repère $[O; \vec{i}; \vec{j}; \vec{k}]$.
25 Les épaisseurs e_1, \dots, e_n sont comprises par exemple entre 3 et 100 nanomètres ou avantageusement entre 5 et 15 nanomètres.

Les n barreaux B_1, \dots, B_n peuvent être tous réalisés à base d'un même matériau semi-conducteur ou
30 bien à base de plusieurs matériaux semi-conducteurs

différents, tels que par exemple du silicium, éventuellement dopé, ou bien du SiGe, éventuellement dopé, ou bien du Germanium, éventuellement dopé, ou bien de l'arséniure de Gallium, éventuellement dopé.

5 La structure 502 forme un canal de transistor 530 présentant un profil 503 dentelé susceptible de joindre une première zone sur le substrat 500 formant une source (non représentée sur la figure 5) et une seconde zone sur le substrat 500
10 formant un drain (non représenté sur la figure 5).

Le canal 530 pourra être recouvert par une grille venant épouser le profil 503 dentelé. Ce profil 503 dentelé permettra, dans ce cas, d'obtenir une surface de contact entre ladite grille et le canal 530
15 plus importante que celle que l'on obtiendrait avec un canal classique de même dimensions mais comportant un profil plan.

La figure 6A illustre un autre exemple de dispositif microélectronique selon l'invention. Une
20 structure 602, reposant sur un substrat 500 recouvert d'une couche isolante 501, est bâtie selon un empilement de 9 barreaux B_1, \dots, B_9 empilés dans cet ordre, et ayant chacun une forme sensiblement parallélépipédique.

25 Les barreaux B_1, \dots, B_9 , sont représentés sur la figure 6A selon une coupe transversale. Les barreaux B_1, B_3, B_5, B_7, B_9 , ont des largeurs respectives W_1, W_3, W_5, W_7, W_9 sensiblement les mêmes, mesurées dans une direction parallèle à celle définie par le vecteur \vec{i} du repère orthogonal $[O; \vec{i}; \vec{j}; \vec{k}]$ illustré à la figure 6A.
30 Les largeurs W_1, W_3, W_5, W_7, W_9 sont comprises par

exemple entre 5 nm et quelques micromètres (par exemple 5 μm) et avantageusement entre 10 nm et 100 nm. Les barreaux B_1, B_3, B_5, B_7, B_9 , sont alternativement empilés avec les barreaux B_2, B_4, B_6, B_8 ayant des largeurs
 5 respectives W_2, W_4, W_6, W_8 , comprises par exemple entre 5 nm et quelques μm (par exemple 5 μm), avantageusement entre 5 nm et 95 nm, et inférieures aux largeurs W_1, W_3, W_5, W_7, W_9 .

Les barreaux B_1, \dots, B_9 ont de plus des
 10 longueurs différentes les unes par rapport aux autres, mesurées dans une direction parallèle à celle définie par le vecteur \vec{k} du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$.

Les barreaux B_1, \dots, B_9 sont réalisés à base d'un matériau semi-conducteur comme par exemple du
 15 silicium, éventuellement dopé. De par leurs natures ou compositions et/ou le niveau de dopage du matériau semi-conducteur, les barreaux B_1, B_3, B_5, B_7, B_9 sont susceptibles d'assurer une conduction électrique. Ils peuvent ainsi former un canal ou éventuellement
 20 plusieurs canaux, de transistors.

Les barreaux B_1, B_3, B_5, B_7, B_9 , ont des épaisseurs e_1, e_3, e_5, e_7, e_9 , mesurées dans des directions parallèles à celles définies par le vecteur \vec{j} du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$. Les épaisseurs e_1, e_3, e_5, e_7, e_9 , sont par exemple inférieures à 15
 25 nanomètres, afin de permettre un confinement de porteurs de charges dans les barreaux B_1, B_3, B_5, B_7, B_9 lorsque ces derniers assurent une conduction électrique.

Les barreaux B_2, B_4, B_6, B_8 ont des
 30 épaisseurs e_2, e_4, e_6, e_8 , comprises par exemple entre 3

et 100 nanomètres, avantageusement entre 5 et 15 nanomètres. Ils peuvent comprendre un matériau semi-conducteur comme par exemple du SiGe non dopé ou un matériau isolant tel que du SiO₂. Les barreaux B₂, B₄, B₆, B₈, sont non-conducteurs ou semi-conducteurs, ils peuvent servir par exemple de soutien mécanique à la structure 602 et d'isolation entre les barreaux B₁, B₃, B₅, B₇, B₉.

De par les largeurs différentes des barreaux B₁, ..., B₉ et la forme sensiblement parallélépipédique de ces mêmes barreaux, la structure 602 présente un profil en créneau 603.

La structure 602 est en outre recouverte par une grille 650 formée tout d'abord d'une couche d'isolant de grille 604, d'épaisseur comprise par exemple entre 0,5 nm et 50 nanomètres, qui suit le profil en créneau. La couche d'isolant de grille 604 peut être par exemple à base de SiO₂ ou de Si₃N₄, ou de tout autre matériau diélectrique pouvant servir d'isolant de grille.

La grille 650 est également formée d'une autre couche de matériau 605 recouvrant la couche d'isolant de grille 604 et embrassant le profil en créneau. La couche 605 peut être réalisée par exemple à base d'un matériau semi-conducteur, tel que du polysilicium éventuellement dopé ou siliciuré (partiellement ou totalement), du SiGe, ou même à base par exemple d'un métal réfractaire. Le profil en créneau 603 permet à la grille 650 d'avoir une surface de contact importante avec la structure 602, et par conséquent, une bonne surface de conduction avec les

barreaux B_1, B_3, B_5, B_7, B_9 susceptibles d'assurer une conduction électrique.

Le profil en créneau 603 peut par ailleurs permettre une conduction confinée dans les coins des
 5 barreaux B_1, B_3, B_5, B_7, B_9 , lorsque ces derniers assurent une conduction électrique.

La structure 602 est susceptible de relier dans le sens de sa longueur, parallèle à un plan principal du substrat 500, une première région réalisée
 10 sur le substrat 500 formant plusieurs sources de transistors, et une seconde région également réalisée sur le substrat 500 formant plusieurs drains de transistors. Les barreaux B_1, B_3, B_5, B_7, B_9 de la structure 602 réalisent alors cinq canaux 630a, 630b,
 15 630c, 630d, 630e, alignés et parallèles entre eux dans un plan orthogonal à un plan principal du substrat. Les canaux sont séparés entre eux par les barreaux B_2, B_4, B_6, B_8 non conducteurs ou semi-conducteurs.

Le nombre de barreaux de la structure ainsi
 20 que le nombre de canaux que réalise la structure ne sont pas limités.

La figure 6B illustre une variante du dispositif microélectronique illustré à la figure 6A. La structure 602 décrite plus haut est représentée sur
 25 la figure 6B dans toute sa longueur et en perspective. Le repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$ illustré sur la figure 6B est le même que celui de la figure 6A

Le dispositif microélectronique de la figure 6B diffère de celui de la figure 6A, en ce qu'il
 30 comprend en outre, une première région sur le substrat 500 comportant 5 sources 610a, 610b, 610c, 610d, 610e

empilées, de transistors différents. Les sources 610a, 610b, 610c, 610d, 610e sont séparées entre elles par 4 couches 600a, 600b, 600c, 600d non-conductrices et par exemple à base d'un matériau isolant tel que le SiO_2 ou
 5 semi-conductrices et par exemple à base d'un matériau semi-conducteur tel que le SiGe. Les sources 610a, 610b, 610c, 610d, 610e sont reliées via les 5 canaux 630a, 630b, 630c, 630d, 630e de la structure 602, à une
 10 seconde région comportant 5 drains 620a, 620b, 620c, 620d, 620e de transistors différents également empilés et également séparés entre eux par les 4 couches 600a, 600b, 600c, 600d non-conductrices ou semi-conductrice. Une grille 650 est commune aux canaux 630a, 630b, 630c, 630d, 630e. La grille 650 recouvre partiellement la
 15 structure 602, dans une direction parallèle à celle définie par le vecteur \vec{k} du repère $[O; \vec{i}; \vec{j}; \vec{k}]$. La grille 650 est cependant en contact avec tous les canaux 630a, 630b, 630c, 630d, 630e par l'intermédiaire de l'oxyde de grille.

20 Selon une caractéristique particulière du dispositif microélectronique illustré à la figure 6B, l'empilement des sources 610a, 610b, 610c, 610d, 610e et l'empilement des drains 620a, 620b, 620c, 620d, 620e réalise un profil en créneau, comme celui de la
 25 structure 602.

La figure 7 représente un autre exemple de dispositif microélectronique suivant l'invention comprenant un substrat 500 recouvert par une couche isolante 501. Une structure 702 comportant 6 barreaux
 30 B_1, \dots, B_6 , issus de couches minces repose sur la couche isolante 501. Les barreaux B_1, \dots, B_6 sont illustrés en

coupe transversale sur la figure 7. Ils ont des largeurs différentes les unes par rapport aux autres, mesurées dans une direction parallèle à celle définie par le vecteur \vec{i} du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$.

5 La structure 702 présente par ailleurs un profil en créneaux 703. Les barreaux B_2 , B_4 , B_6 , sont aptes à assurer une conduction électrique.

10 Les barreaux B_1 , B_3 , B_5 , sont non-conducteurs et peuvent être à base d'un matériau isolant tel que SiO_2 . Ils peuvent être également semi-conducteurs à base d'un matériau tel que du SiGe par exemple non dopé et n'assurer qu'une conduction très faible en comparaison des barreaux B_2 , B_4 , B_6 , voire quasi-nulle.

15 La structure 702 comporte en outre des bouchons d'isolation entourant les barreaux B_1 , B_3 , B_5 et s'étendant dans la même direction que ces derniers. Les bouchons isolants 706 peuvent être à base d'un matériau diélectrique tel que par exemple du nitrure.

20 La structure 702 est recouverte d'une couche 704 d'isolant de grille, d'épaisseur comprise par exemple entre 2 et 50 nanomètres, qui suit le profil en créneau 703. La couche 704 d'isolant de grille peut être par exemple à base de SiO_2 ou de Si_3N_4 ,
 25 ou de tout autre matériau diélectrique pouvant servir d'isolant de grille. La couche 704 d'isolant de grille est recouverte par une seconde couche 705 embrassant le profil en créneaux 703 de la structure 702. La couche 705 est par exemple à base d'un matériau semi-conducteur tel que du polysilicium éventuellement dopé,
 30 du SiGe , etc. ou d'un métal réfractaire. L'ensemble

formé par la couche 704 d'isolant de grille et la couche 705 forment une grille 750 pour un ou plusieurs transistors.

Les bouchons d'isolation 706 décrits plus haut peuvent servir à empêcher toute conduction électrique entre la grille et les barreaux B_1 , B_3 , B_5 .

Les barreaux B_2 , B_4 , B_6 pourront former un ou plusieurs canaux de transistors, selon que la structure 702 est reliée à une ou plusieurs sources et à un ou plusieurs drains de transistors.

La figure 8 représente un autre exemple de dispositif microélectronique suivant l'invention : le dispositif comprend un substrat 500, recouvert par une couche isolante 501. Sur la couche isolante 501 repose une première zone formant une source 810 ainsi qu'une seconde zone formant un drain 820. La source 810 et le drain 820 sont reliés entre eux par une structure 802 bâtie d'un empilement, dans une direction orthogonale à un plan principal du substrat, de 6 barreaux B_1, \dots, B_6 , à base de matériaux différents. La structure 802 peut être réalisée par exemple à base d'une alternance de barreaux à base d'un matériau semi-conducteur B_1 , B_3 , B_5 , et de barreaux à base d'un matériau isolant B_2 , B_4 , B_6 . Les barreaux ont dans cet exemple des longueurs et des largeurs sensiblement identiques. Les barreaux B_1 , B_3 , B_5 , sont susceptibles d'assurer une conduction électrique entre la source 810 et le drain 820, ils forment donc à eux trois un canal 830 unique de transistor reliant la source 810 et le drain 820. Une grille 850, apte à contrôler la conduction du canal 830, recouvre partiellement la structure 802 dans une

direction parallèle à celle définie par un vecteur \vec{k} du repère $[0; \vec{i}; \vec{j}; \vec{k}]$ illustré sur la figure 8.

Selon une variante du dispositif illustré sur la figure 8, la structure 802 est remplacée, par la structure 702 comprenant un profil en créneaux 703, illustrée à la figure 7A et décrite plus haut.

Un premier exemple de procédé de réalisation d'un dispositif microélectronique à effet de champ suivant l'invention va à présent être décrit. Il est illustré par les figures 9A-9H,

La première étape de ce procédé illustrée par la figure 9A consiste à réaliser un empilement 902 de n couches C_1, \dots, C_n (n étant supérieur à 2), sur un substrat 900. Le substrat 900 peut être à base de silicium et recouvert d'une couche isolante 901, par exemple une couche SIMOX (couche de séparation par implantation d'oxygène) à base de SiO_2 . Les n couches empilées peuvent être réalisées par exemple par épitaxie, ou par exemple par CVD (CVD pour « chemical vapor deposition » en français dépôt chimique en phase vapeur) en particulier par épitaxie. Les couches C_1, \dots, C_n ont des épaisseurs e_1, \dots, e_n qui peuvent être différentes les unes par rapport aux autres et mesurées dans une direction orthogonale à un plan principal du substrat 500.

Les épaisseurs e_1, \dots, e_n peuvent être par exemple comprises entre 3 et 100 nanomètres ou entre 5 et 15 nanomètres. Les couches C_1, \dots, C_n peuvent être réalisées par exemple à base de différents matériaux semi-conducteurs tels que du silicium ou du SiGe ou du AsGa, ou du Ge. Certaines des couches de l'empilement

902 peuvent également être réalisées à base d'un matériau isolant tel que par exemple le SiO_2 .

L'empilement 902 comprend au moins deux couches successives C_i, C_{i+1} (avec $i \in [1;n]$) de matériaux différents. Dans le cas où la couche C_i est réalisée à base d'un premier matériau semi-conducteur tel que du Si, la couche C_{i+1} peut être réalisée à base d'un second matériau semi-conducteur différent du premier tel que par exemple du SiGe ou à base d'un second matériau de dopage différent du premier tel que par exemple du Si dopé N ou P. Le second matériau peut être également à base d'un matériau isolant tel que par exemple du SiO_2 .

Selon une caractéristique particulière du procédé suivant l'invention, l'empilement peut être réalisé par une alternance de couches à base de matériau semi-conducteur tel que le silicium et de couches à base de matériau isolant tel que par exemple du SiO_2 , ou bien d'une alternance de couches à base d'un premier matériau semi-conducteur et de couches à base d'un second matériau semi-conducteur.

L'empilement peut être réalisé par exemple par une alternance de couches à base de Si et de couches à base de SiGe ou par exemple d'une alternance de couches à base de Ge et de couches à base de AsGa, ou par exemple d'une alternance de couches à base de SiGe et de couches à base de Ge, ou encore par exemple d'une alternance de couches à base de Si dopé N ou P et de couches à base de Si non dopé.

Une fois l'empilement 902 réalisé, on effectue le dépôt d'une couche de masque dur sur

l'empilement 902 par exemple à base de Si_3N_4 ou de SiO_2 ou à base de tout autre matériau apte à protéger l'empilement 902 d'une gravure telle que par exemple une gravure plasma. Ensuite, on dépose une couche de
5 résine photosensible par exemple à base de polyimide sur la couche de masque dur. On définit dans la couche de résine, par exemple par une méthode de photolithographie, un masque de résine 904 comportant un ou plusieurs motifs. Ensuite, on effectue une
10 gravure anisotrope de la couche de masque dur protégée par le masque de résine 904 pour réaliser un masque dur 903 sous le masque de résine 904 et reproduisant les motifs de ce dernier (figure 9B).

Le masque dur 903 comporte au moins un
15 motif de canal de transistor 1000b, par exemple de forme rectangulaire et tel que celui illustré sur la figure 10, éventuellement reliant un motif de source 1000a de transistor, et un motif de drain 1000c de transistor.

20 On retire ensuite le masque de résine 904 par un procédé classique de décapage, par exemple à l'aide d'un plasma oxydant. On procède alors à une première étape de gravure des n couches C_1, \dots, C_n situées sous le masque dur 903.

25 Selon une variante du procédé, une fois l'empilement 902 réalisé, on peut effectuer le dépôt d'une couche de résine directement sur l'empilement sans déposer de couche de masque dur, puis former le masque de résine 904 par photolithographie. On effectue
30 alors la première étape de gravure à travers le masque de résine 904.

La première étape de gravure peut comprendre la gravure anisotrope des n couches C_1, \dots, C_n à travers le masque dur 903, de sorte que les n couches C_1, \dots, C_n gravées de l'empilement, reproduisent les motifs du masque dur 903 (figure 9C) et notamment le motif de canal 1000b du masque dur (non illustré sur la figure 9C).

Puis, une seconde étape de gravure sélective isotrope d'une ou plusieurs couches C_k ($k \in [1, n]$) parmi les n couches C_1, \dots, C_n est effectuée et permet de retirer partiellement les couches C_k (figure 9D). Les couches C_k de l'empilement 902 ont des étendues inférieures à celles des autres couches. Il en résulte que l'empilement 902 comporte un profil dentelé 905.

De manière préférable, la seconde étape de gravure sélective impacte les couches C_k et laisse les autres couches intactes.

Selon une caractéristique particulière du procédé suivant l'invention, les couches C_k partiellement retirées par la gravure sélective sont à base d'un premier matériau semi-conducteur tel que par exemple du SiGe, alors que les autres couches de l'empilement sont à base par exemple d'un second matériau semi-conducteur tel que du Si. Les couches C_k partiellement retirées par la gravure sélective peuvent être également à base d'un matériau isolant tel que du SiO_2 , alors que les autres couches de l'empilement sont à base d'un matériau semi-conducteur tel que du Si.

La figure 9E illustre une vue en coupe d'une partie de l'empilement 902. La coupe est réalisée

selon un plan orthogonal au plan $[O; \vec{j}; \vec{k}]$ du repère orthogonal $[O; \vec{i}; \vec{j}; \vec{k}]$ commun aux figures 9D et 9E.

La partie de l'empilement 902 illustrée à la figure 9E, est celle qui se trouve sous, et qui
 5 reproduit le motif de canal (illustré et noté 1000b sur la figure 10) du masque dur 903.

Cette partie de l'empilement se présente sous forme d'une structure 902a formée de n barreaux B_1, \dots, B_n empilés, de formes sensiblement
 10 parallélépipédiques. Les barreaux B_1, \dots, B_n sont des portions des couches C_1, \dots, C_n gravées qui reproduisent le motif de canal du masque dur 903. Les barreaux B_1, \dots, B_n sont vus selon une coupe transversale. Ladite structure 902a comporte certains barreaux B_k , $k \in [1, n]$,
 15 correspondant à une portion des couches C_k gravées de manière sélective. Ces barreaux B_k ont des largeurs W_k , mesurées dans des directions parallèles à celle définie par le vecteur \vec{i} du repère orthogonal $[O; \vec{i}; \vec{j}; \vec{k}]$, inférieures à celles des autres barreaux.

20 Les barreaux B_1, \dots, B_n empilés ayant des largeurs différentes, la structure 902a comporte également un profil 905 dentelé.

Selon une caractéristique particulière du procédé, le profil dentelé 905 de l'empilement 902 peut
 25 être un profil en créneaux. En effet, suivant la qualité de la gravure sélective précédemment décrite, les barreaux B_k peuvent avoir une forme proche d'une forme parfaitement parallélépipédique. Des barreaux empilés de forme proche d'une forme parfaitement
 30 parallélépipédique et de largeurs différentes les unes des autres réalisent un profil en créneaux.

Suivant la nature des matériaux qui composent les barreaux B_1, \dots, B_n la structure 902a peut comporter un ou plusieurs barreaux susceptibles d'assurer une conduction électrique et, éventuellement, comporter un ou plusieurs barreaux non-conducteurs. La structure 902a est ainsi susceptible de former un ou plusieurs canaux de transistors alignés et parallèles dans le plan $[0; \vec{i}; \vec{k}]$ du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$.

Selon une caractéristique particulière du procédé suivant l'invention, on peut ajouter à la structure 902a, des bouchons isolants 907 entourant les barreaux B_k dans une direction parallèle à un plan principal du substrat 900, c'est-à-dire dans une direction parallèle au plan $[0; \vec{i}; \vec{k}]$. La formation des bouchons isolants 907 comprend une étape de dépôt conforme d'une couche diélectrique 906 par exemple de 20 à 50 nanomètres de nitrure sur la structure 902a (figure 9F).

Puis, une gravure isotrope partielle de cette couche diélectrique 906 est effectuée. Cette gravure partielle est réalisée de manière à conserver une épaisseur de la couche diélectrique 906, de préférence uniquement autour des barreaux B_k . Cette épaisseur est suffisante pour limiter l'influence électrique sur les barreaux B_k d'une grille éventuellement formée ultérieurement sur la structure 902a. Par exemple cette épaisseur sera 10 fois supérieure à celle d'un isolant d'une grille éventuellement formée ultérieurement sur la structure 902a. L'épaisseur restante de la couche diélectrique forme alors les bouchons isolants 907 (figure 9G).

Selon une caractéristique particulière du procédé suivant l'invention, une fois la structure 902a réalisée, on peut procéder à la formation d'une grille recouvrant au moins partiellement, dans une direction
5 parallèle au vecteur \vec{i} , ladite structure 902a.

La formation de la grille peut être réalisée tout d'abord par dépôt, de préférence conforme, d'une couche d'isolant de grille 908 par exemple à l'aide d'un matériau isolant d'épaisseur de 2
10 à 50 nanomètres tel que par exemple du Si_3N_4 , du SiO_2 , ou un matériau isolant de haute constante diélectrique. La couche d'isolant de grille 908 suit le profil dentelé de la structure 902a. Ensuite, par-dessus la couche d'isolant de grille 908, on réalise le dépôt
15 d'une couche 909 de matériau de semi-conducteur ou conducteur par exemple à base de SiGe , ou de polysilicium, ou de molybdène, ou de TiN par dessus la couche d'isolant de grille 908.

La couche d'isolant de grille 908 et la
20 couche 909 de matériau semi-conducteur sont alors gravées pour former une grille 910. La grille peut être commune à plusieurs canaux, selon que la structure 902a forme un ou plusieurs canaux de transistors.

La figure 9H illustre un dispositif suivant
25 l'invention obtenu après l'étape de formation de la grille précédemment décrite. la structure 902a repose sur la couche isolante 901 recouvrant le substrat 900. Le masque dur 903 a été conservé et recouvre le dessus de la structure 902a. La grille 910 formée de la couche
30 d'isolant de grille 908 et de la couche 909 de matériau

semi-conducteur enrobe la structure 902a et le masque dur 903.

Conserver le masque dur 903 sur la structure 902a peut ainsi permettre d'empêcher une conduction parasite
5 entre la grille 910 et le dessus de la structure 902a.

Selon une variante du procédé suivant l'invention, le masque dur 903 peut être retiré préalablement à la formation de la grille.

Selon une caractéristique particulière du
10 procédé suivant l'invention, une première zone formant un drain et une seconde zone formant une source, à base de matériau semi-conducteur, peuvent être réalisées après la formation de la structure 902a par
implantation ionique de dopants (par exemple : As, Pb,
15 B, BF₂) de manière à ce que la structure 902a, relie la source et le drain dans le sens de sa longueur. La structure 902a, forme alors un ou plusieurs canaux de transistors alignés et parallèles entre eux dans un plan orthogonal à un plan principal du substrat.

20

Documents cités:

[1]: US patent 5,675,164, « High
25 performance multi-mesa field effect transistor »,
October 1997, T.A. Brunner et al.

[2]: US patent 6,413,802 B1 « Finfet
transistor structures having a double gate channel
30 extending vertically from a substrate and methods of
manufacture », July 2002, Hu et al.

REVENDICATIONS

5

1. Dispositif microélectronique à effet de champ comprenant :

a) un substrat (500)

10 b) au moins une structure (502, 602, 702, 802) formant un ou plusieurs canaux (530, 630a, 630b, 630c, 630d, 630e, 730, 830) aptes à relier, dans le sens de leurs longueurs, une ou plusieurs sources et un ou plusieurs drains, ladite structure étant bâtie d'un empilement dans une direction orthogonale à un plan principal du
15 substrat d'au moins deux barreaux de largeurs différentes.

2. Dispositif microélectronique selon la revendication 1, ladite structure réalisant un profil
20 (503) dentelé.

3. Dispositif microélectronique selon la revendication 2, ledit profil de la structure (602) étant un profil en créneau (603).

25

4. Dispositif microélectronique selon l'une des revendications 1 à 3, l'empilement comprenant au moins deux barreaux successifs à base de matériaux différents.

30

5. Dispositif microélectronique selon l'une des revendications 1 à 4, l'empilement comprenant

uniquement des barreaux susceptibles d'assurer une conduction électrique.

5 6. Dispositif microélectronique selon l'une des revendications 1 à 4, l'empilement comprenant un ou plusieurs barreaux susceptibles d'assurer une conduction électrique et un ou plusieurs barreaux non-conducteurs.

10 7. Dispositif microélectronique selon la revendication 6, l'empilement comprenant une alternance de barreaux susceptibles d'assurer une conduction électrique et de barreaux non-conducteurs.

15 8. Dispositif microélectronique selon l'une des revendications 1 à 4, l'empilement comprenant au moins deux barreaux successifs à base de matériaux semi-conducteurs différents ou/et de dopages différents.

20 9. Dispositif microélectronique selon l'une des revendications 1 à 4, l'empilement comprenant au moins deux barreaux successifs dont un est à base d'un matériau semi-conducteur et l'autre est à base d'un
25 matériau isolant.

 10. Dispositif microélectronique selon la revendication 8, l'empilement comprenant au moins deux barreaux successifs dont un est à base de Si et l'autre
30 est à base de SiGe.

11. Dispositif microélectronique selon l'une des revendications 6 ou 7, l'empilement comprenant au moins deux barreaux successifs dont un est à base de Si et l'autre est à base de SiO₂.

5

12. Dispositif microélectronique selon l'une des revendications 1 à 11, au moins un des barreaux étant entouré au moins partiellement dans une direction parallèle à un plan principal du substrat de bouchons isolants (706).

10

13. Dispositif microélectronique selon la revendication 12, lesdits bouchons isolants (706) étant à base de nitrure.

15

14. Dispositif microélectronique selon l'une des revendications 1 à 13, ladite structure comprenant au moins deux barreaux de longueurs différentes ou/et d'épaisseurs différentes.

20

15. Dispositif microélectronique selon l'une des revendications 1 à 14, comprenant en outre un masque dur sur ledit empilement.

25

16. Dispositif microélectronique à effet de champ selon l'une des revendications 1 à 15 comprenant en outre : une grille (650,750) recouvrant au moins partiellement ladite structure (602,702) et éventuellement le masque dur.

30

17. Dispositif microélectronique à effet de champ selon l'une des revendications 1 à 16, comprenant en outre : une ou plusieurs sources (610a, 610b, 610c, 610d, 610e) reliées par ladite structure (602) à un ou
5 plusieurs drains (620a, 620b, 620c, 620d, 620e).

18. Dispositif microélectronique à effet de champ comprenant :
a) un substrat (500)
10 b) au moins une structure (802) formant un ou plusieurs canaux (830) aptes à relier, dans le sens de leurs longueurs, une seule source et un seul drain, ladite structure étant bâtie d'un empilement dans une direction orthogonale à un plan principal du substrat
15 d'au moins deux barreaux différents.

19. Dispositif microélectronique à effet de champ selon la revendication 18, lesdits barreaux différents étant à base de matériaux différents ou/et
20 ont des largeurs différentes.

20. Procédé de réalisation d'un dispositif microélectronique à effet de champ doté d'au moins une structure (902a) comportant au moins deux barreaux
25 empilés, de largeurs différentes, aptes à former un ou plusieurs canaux de transistors, le procédé comprenant les étapes de:
- formation, sur un substrat (900) d'un empilement (902) de plusieurs couches (C_1, \dots, C_n) comportant au moins
30 deux couches successives à base de matériaux différents,

- formation d'au moins un masque sur ledit empilement (902),
 - gravure anisotrope des couches à travers le masque,
 - gravure partielle et sélective d'une ou plusieurs
- 5 couches de l'empilement.

21. Procédé selon la revendication 20, ledit empilement (902) comprenant au moins deux couches à base de matériaux semi-conducteurs différents ou/et

10 de dopages différents.

22. Procédé selon l'une des revendications 20 ou 21, ledit empilement (902) comprenant au moins une couche à base de Si et au moins une couche à base

15 de SiGe.

23. Procédé selon l'une des revendications 20 à 22 ledit empilement (902) comprenant au moins une couche à base de matériau isolant et une couche à base

20 de matériau semi-conducteur.

24. Procédé selon l'une des revendications 20 à 23 comprenant en outre : le dépôt conforme d'une couche diélectrique (906) sur ladite structure.

25

25. Procédé selon la revendication 24, ladite couche diélectrique étant à base de nitrure.

26. Procédé selon l'une des revendications

30 24 ou 25 comprenant en outre : la gravure isotrope partielle de ladite couche diélectrique de manière à

former des bouchons isolants (907) autour de certains
barreaux de ladite structure (902a).

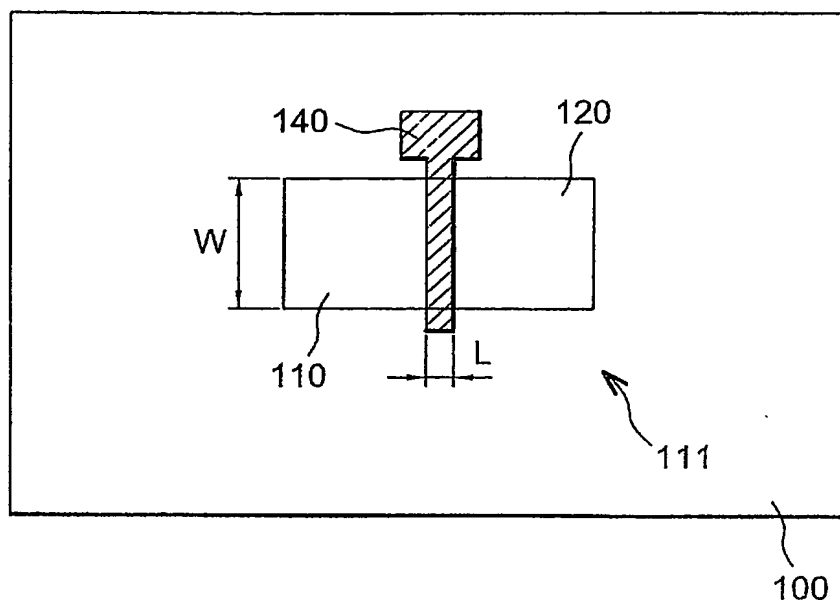


FIG. 1

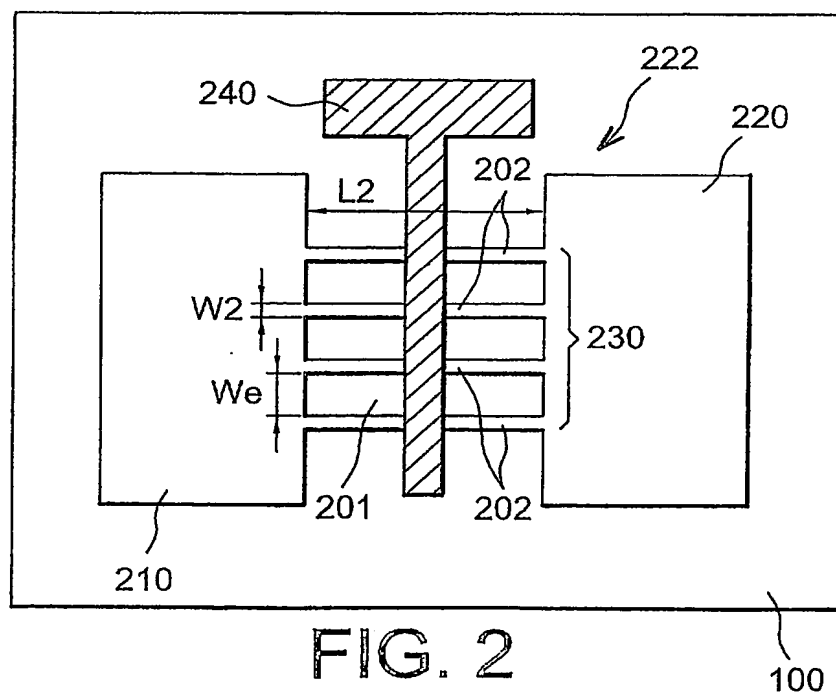


FIG. 2

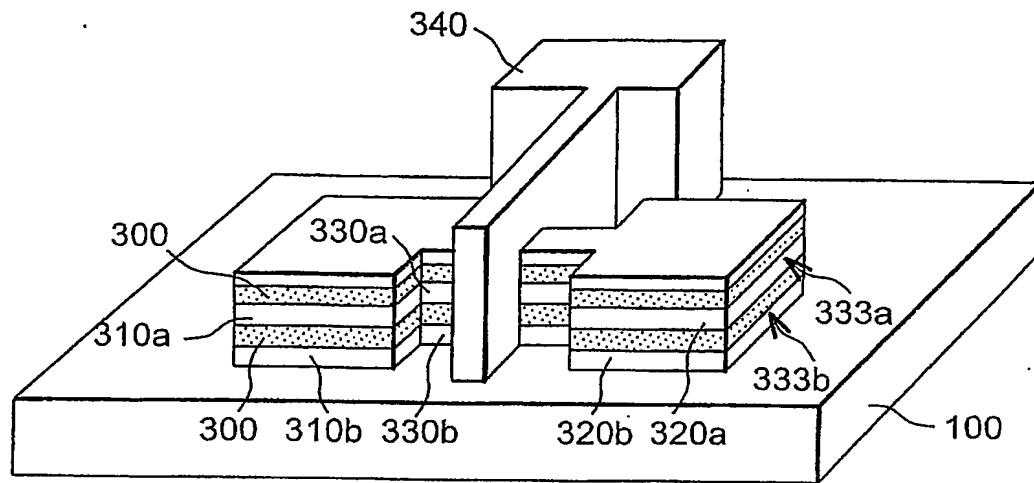


FIG. 3

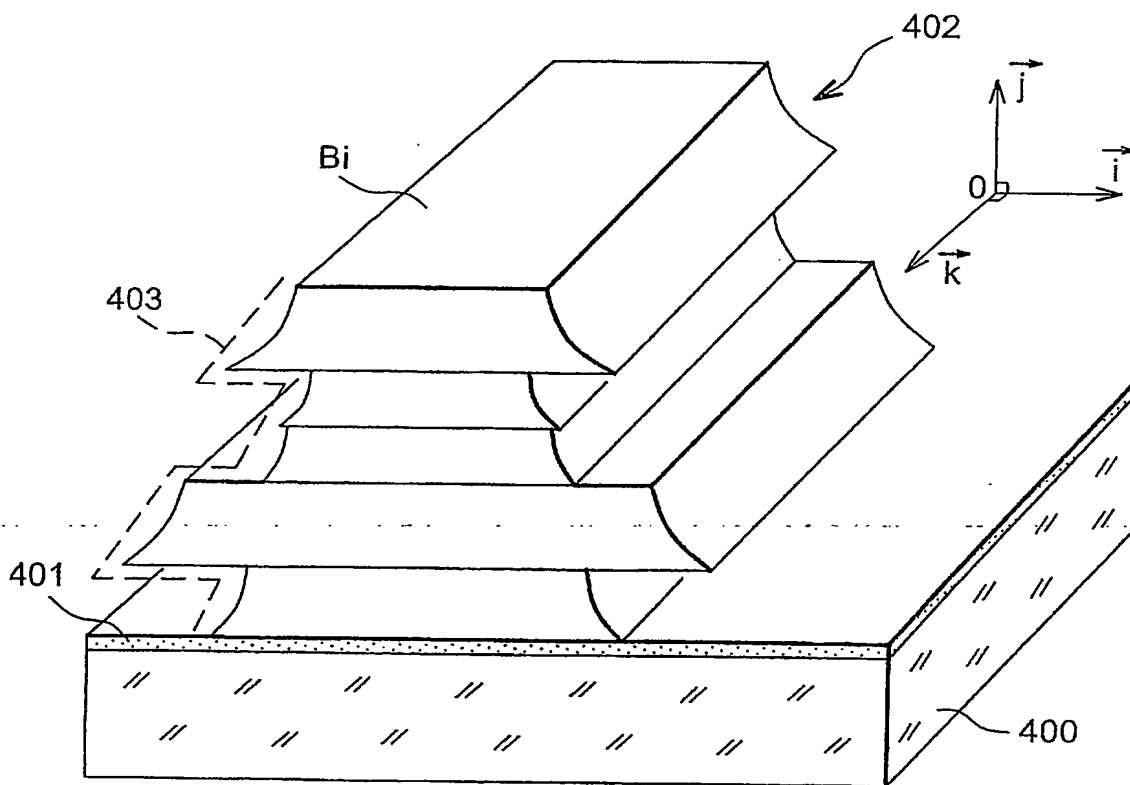


FIG. 4

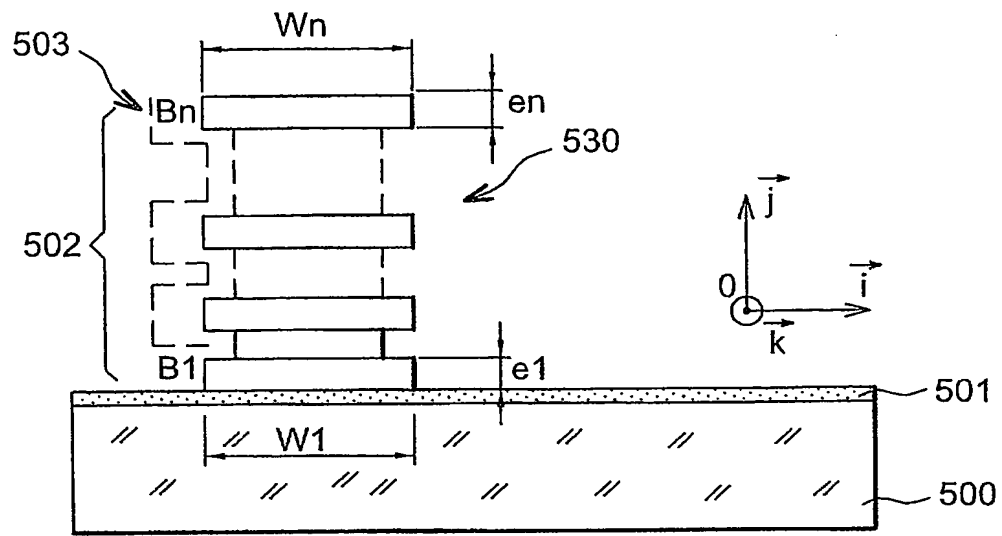


FIG. 5

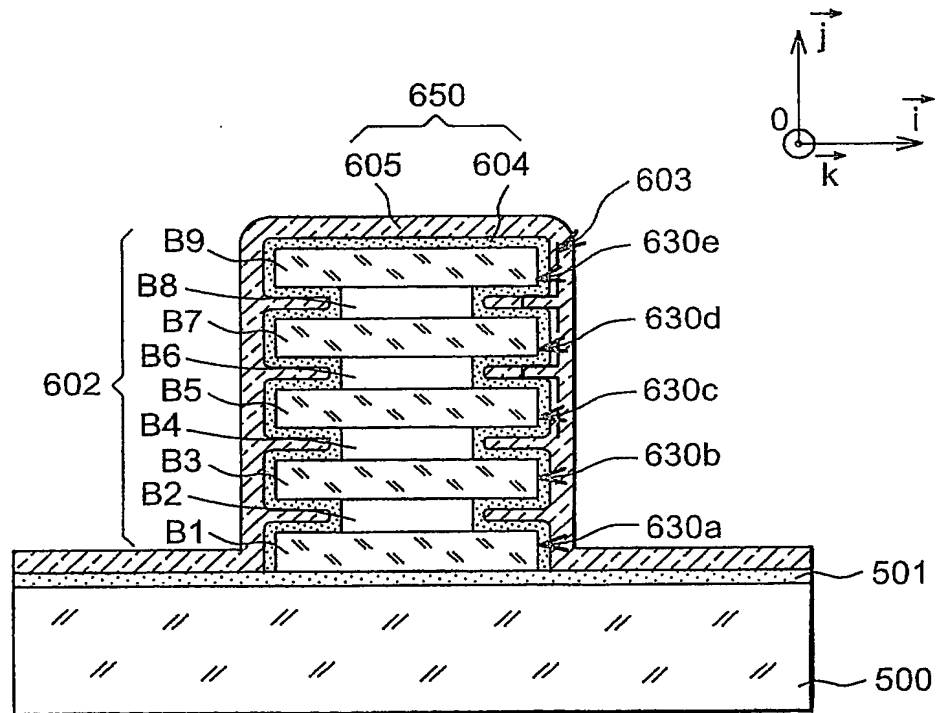
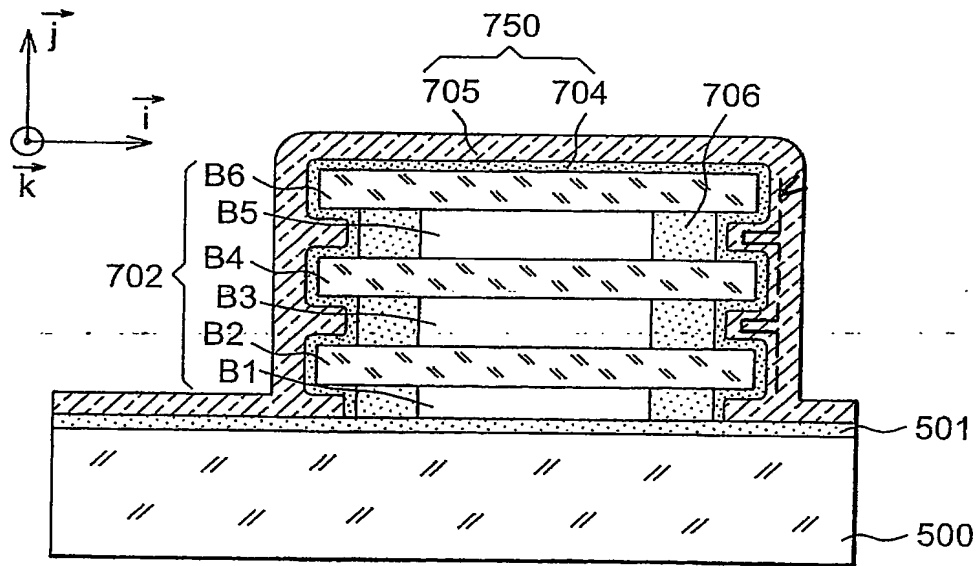
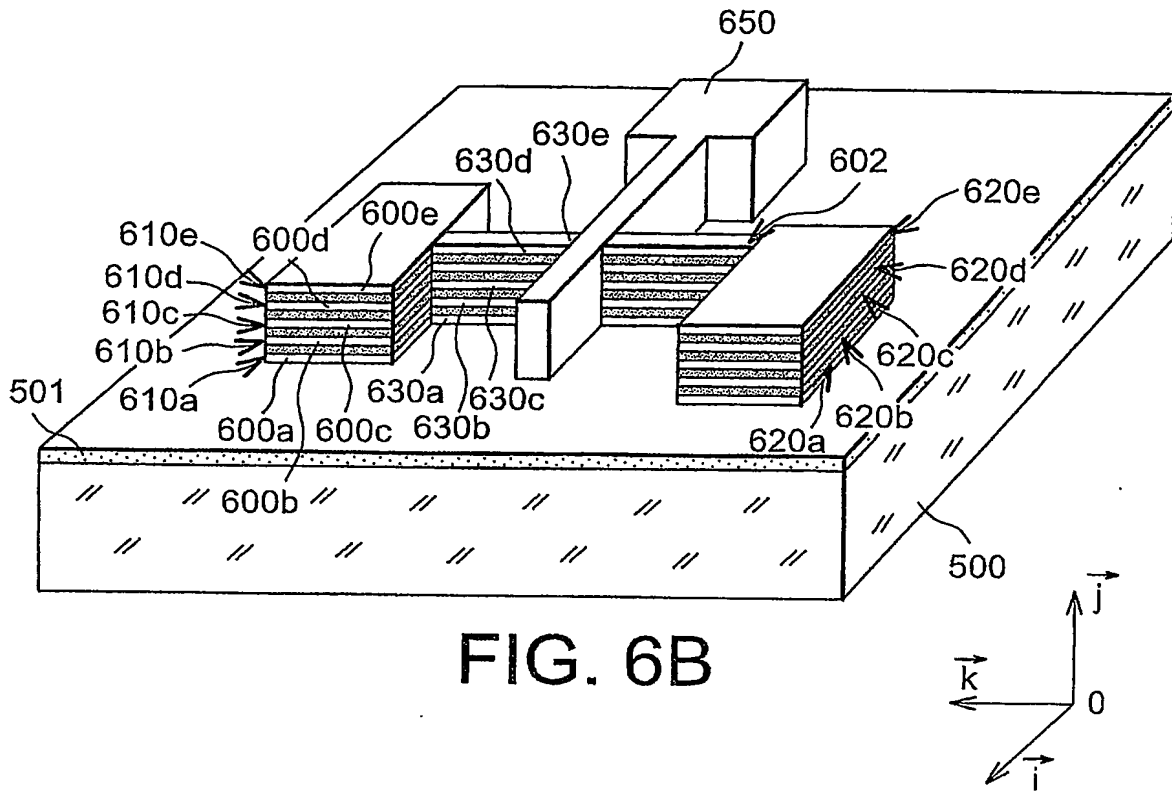
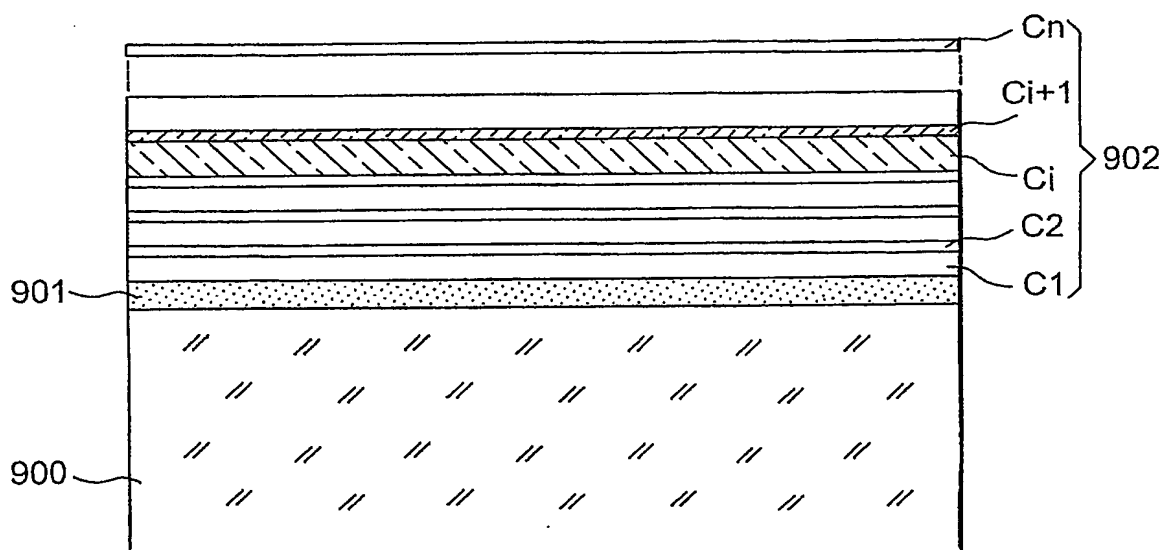
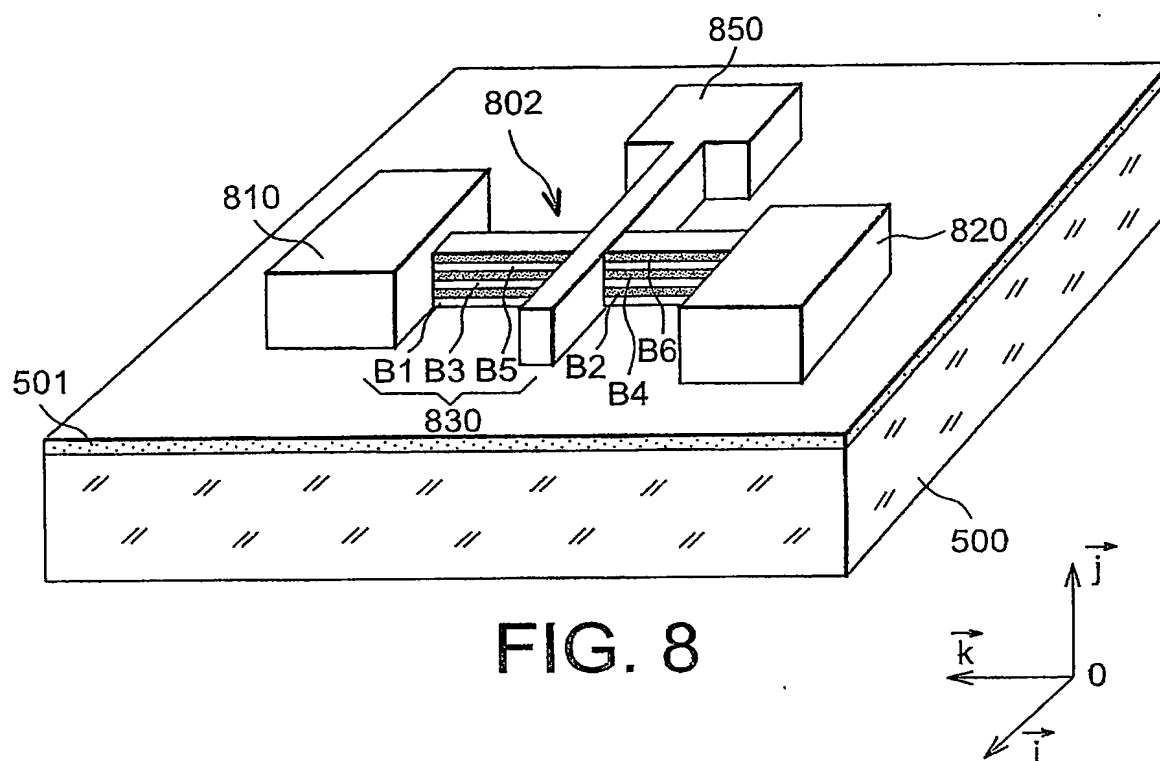


FIG. 6A





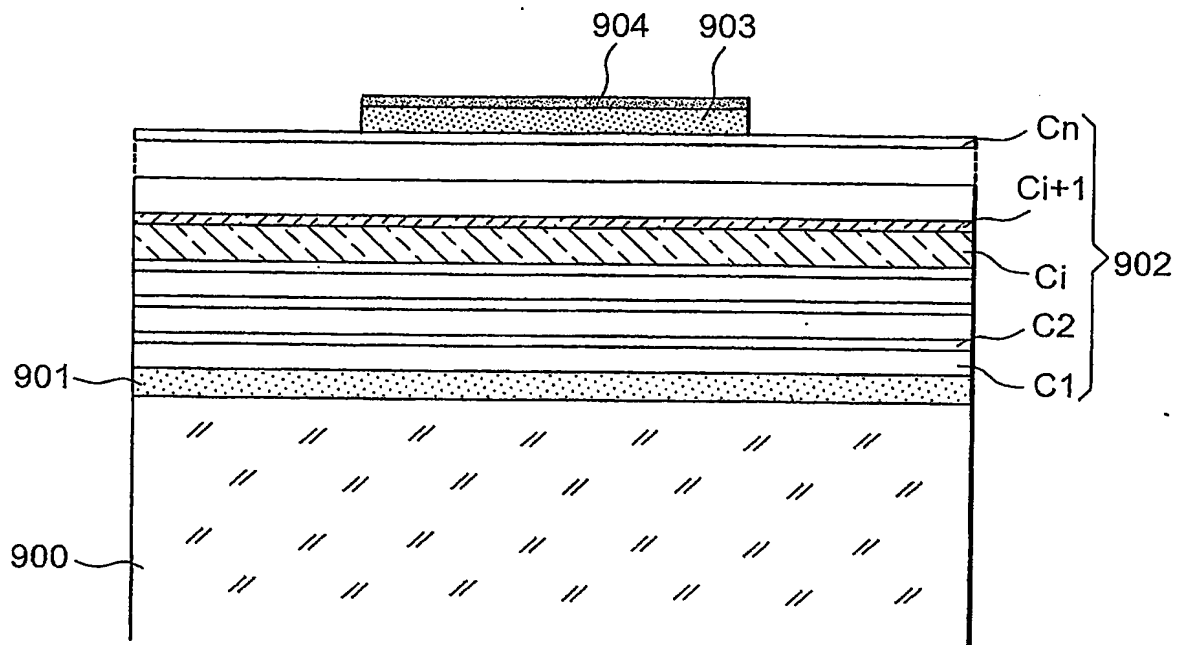


FIG. 9B

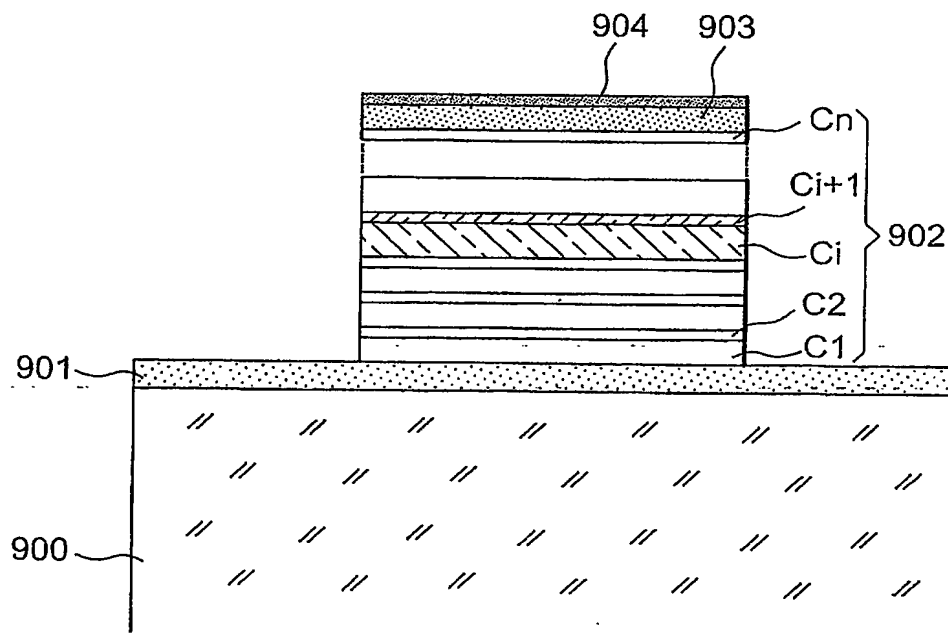


FIG. 9C

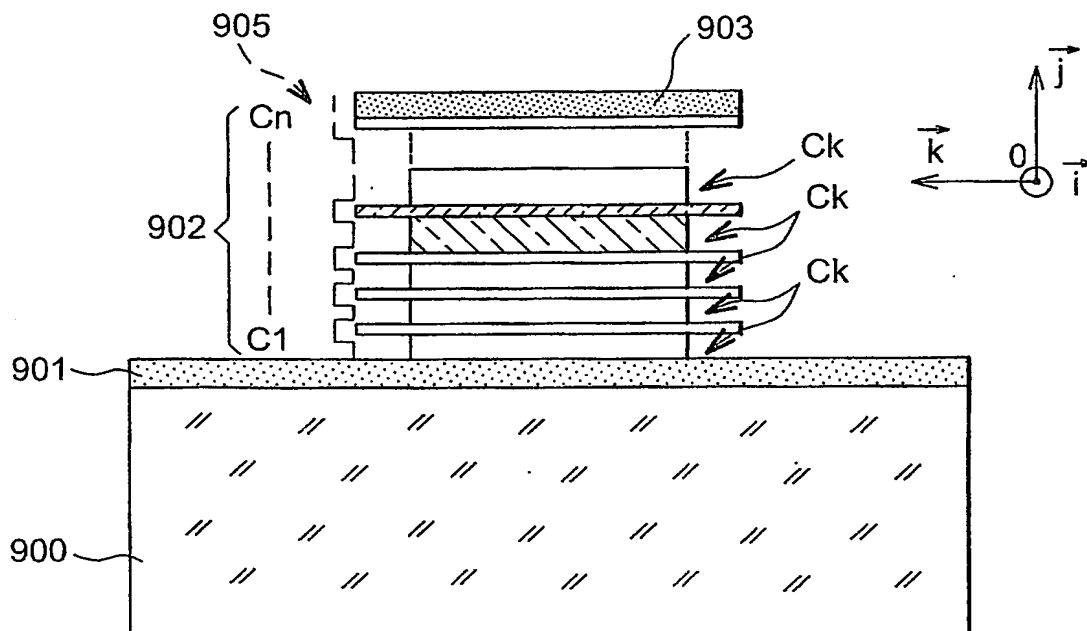


FIG. 9D

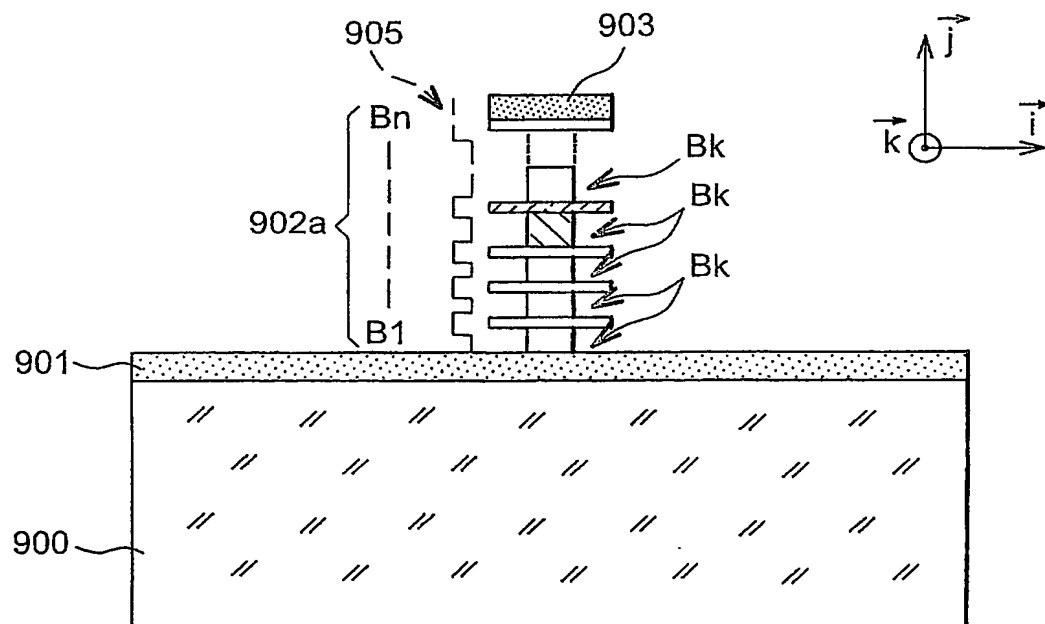


FIG. 9E

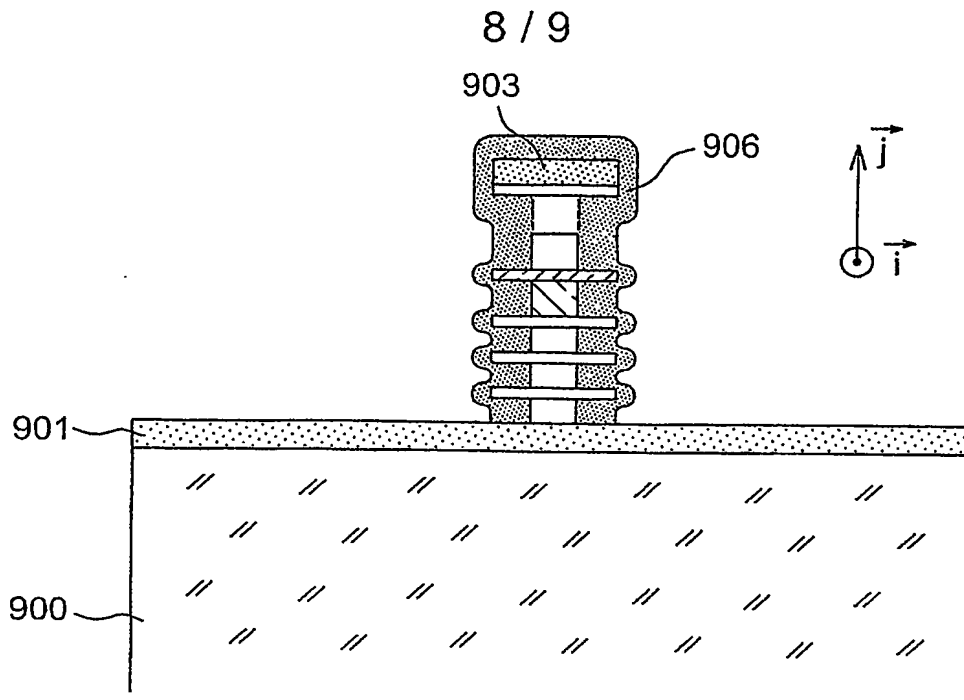


FIG. 9F

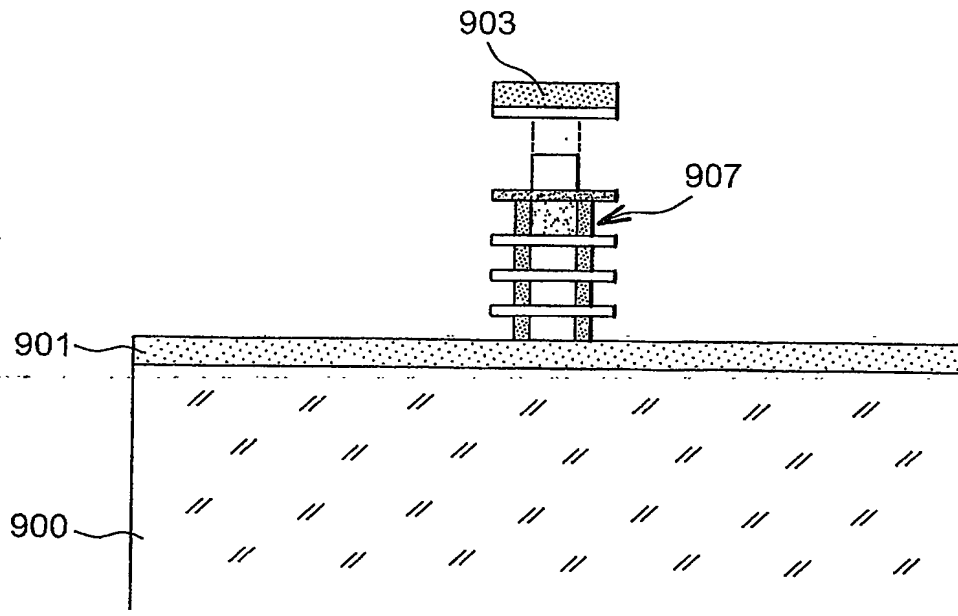


FIG. 9G

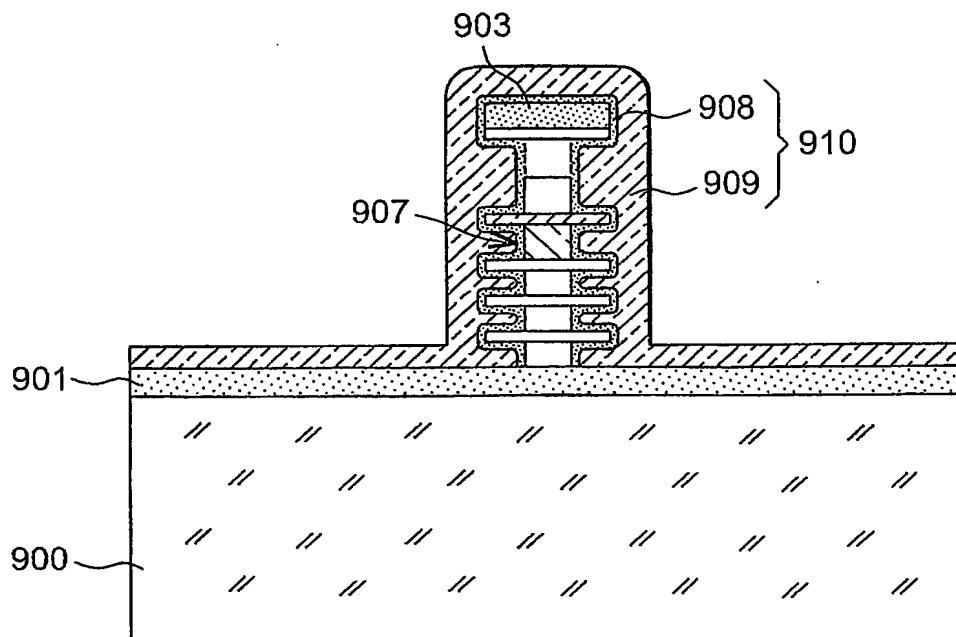


FIG. 9H

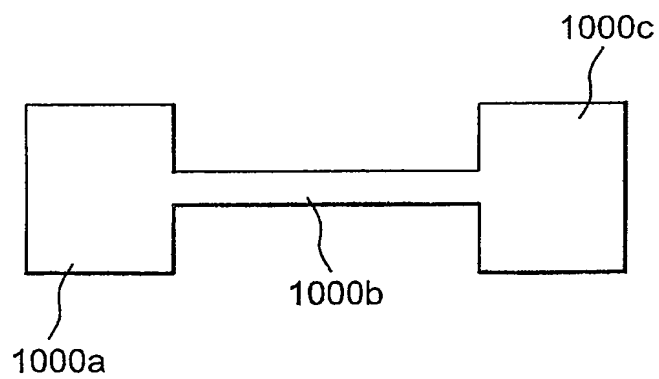


FIG. 10



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

DÉSIGNATION D'INVENTEUR(S) Page N° 1.. / 1..

(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)



Cet imprimé est à remplir lisiblement à l'encre noire

08 113 @ W / 270601

Vos références pour ce dossier (facultatif)		B 14418.3/ALP DD2583VR
N° D'ENREGISTREMENT NATIONAL		03.50716 DU 22.10.2003
TITRE DE L'INVENTION (200 caractères ou espaces maximum) DISPOSITIF MICROELECTRONIQUE A EFFET DE CHAMP APTE A FORMER UN OU PLUSIEURS CANAUX DE TRANSISTORS.		
LE(S) DEMANDEUR(S) : COMMISSARIAT A L'ENERGIE ATOMIQUE 31-33 rue de la Fédération 75752 PARIS 15 ème.		
DESIGNE(NT) EN TANT QU'INVENTEUR(S) :		
1 Nom		ERNST
Prénoms		Thomas
Adresse	Rue	703 route de Moirans
	Code postal et ville	[3 1 8 1 4 0] CHARNECLES
Société d'appartenance (facultatif)		
2 Nom		BOREL
Prénoms		Stephan
Adresse	Rue	4 rue de la Distillerie
	Code postal et ville	[3 1 8 1 4 0 1 0] SAINT-MARTIN-D'HERES
Société d'appartenance (facultatif)		
3 Nom		
Prénoms		
Adresse	Rue	
	Code postal et ville	[] [] [] [] [] []
Société d'appartenance (facultatif)		
S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.		
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) PARIS LE 23 OCTOBRE 2003 J.LEHU		

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.